



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07142258 A**

(43) Date of publication of application: 02 . 06 . 95

(51) Int. Cl.

**H01F 21/12**

(21) Application number: 05311276

(22) Date of filing: 17 . 11 . 93

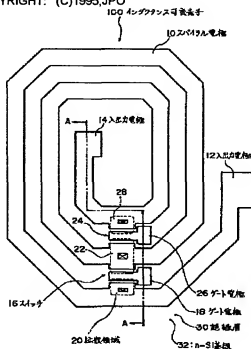
(71) Applicant: **IKEDA TAKESHI OKAMURA SUSUMU**(72) Inventor: **IKEDA TAKESHI  
OKAMURA SUSUMU  
OKAMOTO AKIRA**(54) **INDUCTANCE-VARIABLE ELEMENT**

COPYRIGHT: (C)1995,JPO

(57) Abstract:

**PURPOSE:** To provide an inductance-variable element which can change inductance under control from the outside, has a simple constitution and can be formed integrally with a semiconductor component such as an integrated circuit or the like.

**CONSTITUTION:** An inductance-variable element 100 is constituted in such a way that a spiral electrode 10, in about 2.5 turns, which is formed on the surface of an n-Si substrate 32 via an insulating layer 30 and switches 16, 24 which are used to short-circuit individual circumferential parts of the spiral electrode 10 are included. Both ends of the spiral electrode 10 are used as input/output electrodes 12, 14 which have a wide-width shape. When only either the switch 16 or the switch 24 is set to an ON state, the element becomes a coil, in about 1.5 turns, in which the outermost circumferential part or the inner circumferential part of the spiral electrode 10 becomes invalid. When both switches 16, 24 are set to an ON state, the element becomes a coil in about 0.5 turn.





1

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-142258

(43)公開日 平成7年(1995)6月2日

(51)Int. Cl.<sup>4</sup>

H01F 21/12

識別記号

7135-5E

F I

審査請求 未請求 請求項の数5 F D (全14頁)

(21)出願番号 特願平5-311276

(22)出願日 平成5年(1993)11月17日

(71)出願人 390026192

池田 毅

東京都大田区山王 2-5-6-213

(71)出願人 393029398

岡村 進

東京都渋谷区広尾 4丁目1番12-1305号

(72)発明者 池田 毅

東京都大田区山王 2-5-6-213

(72)発明者 岡村 進

東京都渋谷区広尾 4丁目1番12-1305号

(72)発明者 岡本 明

埼玉県上尾市緑丘 4丁目7-17

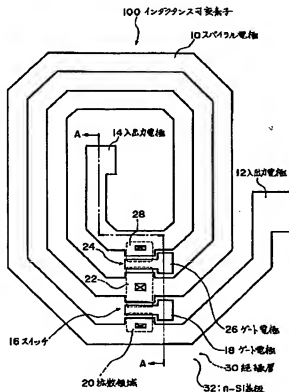
(74)代理人 弁理士 布施 行夫 (外2名)

(54)【発明の名称】インダクタンス可変素子

(57)【要約】

【目的】 外部からの制御によりインダクタンスを変更することができ、構造が単純であり、集積回路等の半導体部品と一体的に形成することが可能なインダクタンス可変素子を提供すること。

【構成】 インダクタンス可変素子100は、n-Si基板32の表面に絶縁層30を介して形成された約2.5ターンのスパイラル電極10と、このスパイラル電極10の各周回部分を短絡するためのスイッチ16、24を含んで構成されており、スパイラル電極10の両端が幅広形状を有する入力電極12、14となっている。スイッチ16あるいはスイッチ24のいずれか一方のみをオン状態にすると、スパイラル電極10の最外周部分あるいは内周部分が有効となった約1.5ターンのコイルとなる。両方のスイッチ16、24をオン状態にすると、約0.5ターンのコイルとなる。



## 【特許請求の範囲】

【請求項1】 全体としてあるいは個々が周回形状を有する複数のインダクタ用導体と、前記複数のインダクタ用導体を分離あるいは接続する1つあるいは複数のスイッチと、を備え、前記複数のインダクタ用導体のいずれかを単独で、あるいは組み合わせることを特徴とするインダクタンス可変素子。

【請求項2】 請求項1において、全体として周回形状を有する前記複数のインダクタ用導体の両端近傍に設けられた2つの入出力端子をさらに含み、前記スイッチを切り替えることにより、前記2つの入出力端子間に存在する前記複数のインダクタ用導体の数を切り替えて、前記2つの入出力端子間のインダクタンスを変更することを特徴とするインダクタンス可変素子。

【請求項3】 請求項1において、前記複数のインダクタ用導体は半導体基板上に絶縁層を介して形成されており、前記スイッチは、前記半導体基板の一部に形成されており、2つの拡散領域のそれぞれが異なる前記複数のインダクタ用導体の一部に接続された電界効果トランジスタであり、前記半導体基板上に前記複数のインダクタ用導体と前記スイッチとが一体的に形成されたことを特徴とするインダクタンス可変素子。

【請求項4】 請求項3において、前記スイッチを構成する電界効果トランジスタは、nチャネルトランジスタと、pチャネルトランジスタとを並列に接続したトランスミッションゲートであることを特徴とするインダクタンス可変素子。

【請求項5】 請求項3または4のいずれかにおいて、前記半導体基板上に前記スイッチと前記インダクタ用導体とを形成した後に、この半導体基板の全面に化学液相法により絶縁膜を形成し、この絶縁膜の一部をエッチングあるいはレーザ照射によって除去して孔をあけ、その孔を半田で表面に盛り上がる程度に封じることにより端子付けを行なうことを特徴とするインダクタンス可変素子。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置等に組み込まれて、あるいは単体で使用される所定のインダクタンスを有するインダクタンス可変素子に関する。

## 【0002】

【従来の技術】近年の電子技術の発達に伴い、電子回路は各種分野において幅広く用いられており、特に半導体製造技術の進歩に伴って集積度が飛躍的に向上したLSI等が一般的になりつつある。

【0003】このようなLSIを初めとする集積回路に

において、MOS・FETやバイポーラトランジスタあるいはダイオード等の半導体部品が多数形成されており、この他にもpn接合を利用したコンデンサや半導体内の少数キャリアの密度によって特性が決定される抵抗等が組み込まれている。したがって、このような集積回路ではほとんど部品を外付けすることなく内部の個々の素子のみからなる大規模な回路が構成されている。

## 【0004】

【発明が解決しようとする課題】ところで、上述した従来の集積回路は、ほとんどの素子を含んで内部回路を構成できるようになっているが、コイルのみは外付けするようになっていた。しかも、このコイルが有するインダクタンスはコイルの形状によって決定されるため、必要に応じて適宜変更するといったことが不可能であった。例えば、インダクタンスを可変に設定するものとしては、コイルの内部に入内れる磁芯を有するものが知られているが、インダクタンスを変えようとすると、この磁芯の位置をずらす必要があり、構造が複雑となるため電子回路の一部として使用するには不向きである。

【0005】そこで、本発明はこのような点に鑑みて創作されたものであり、その目的は、外部からの制御によりインダクタンスを変更することができ、構造が単純なインダクタンス可変素子を提供することにある。

【0006】また、本発明の他の目的は、集積回路等の半導体部品と一体的に形成することが可能なインダクタンス可変素子を提供することにある。

## 【0007】

【課題を解決するための手段】上述した課題を解決するために、請求項1の発明は、全体としてあるいは個々が周回形状を有する複数のインダクタ用導体と、前記複数のインダクタ用導体を分離あるいは接続する1つあるいは複数のスイッチと、を備え、前記複数のインダクタ用導体のいずれかを単独で、あるいは組み合わせることを特徴とする。

【0008】請求項2の発明は、請求項1の発明において、全体として周回形状を有する前記複数のインダクタ用導体の両端近傍に設けられた2つの入出力端子をさらに含み、前記スイッチを切り替えることにより、前記2つの入出力端子間に存在する前記複数のインダクタ用導体の数を切り替えて、前記2つの入出力端子間のインダクタンスを変更することを特徴とする。

【0009】請求項3の発明は、請求項1の発明において、前記複数のインダクタ用導体は半導体基板上に絶縁層を介して形成されており、前記スイッチは、前記半導体基板の一部に形成されており、2つの拡散領域のそれぞれが異なる前記複数のインダクタ用導体の一部に接続された電界効果トランジスタであり、前記半導体基板上に前記複数のインダクタ用導体と前記スイッチとが一体的に形成されたことを特徴とする。

【0010】請求項4の発明は、請求項3の発明におい

て、前記スイッチを構成する電界効果トランジスタは、 $n$ チャネルトランジスタと、 $p$ チャネルトランジスタとを並列に接続したトランスミッションゲートであることを特徴とする。

【0011】請求項5の発明は、請求項3または4のいずれかの発明において、前記半導体基板上に前記スイッチと前記インダクタ用導体とを形成した後に、この半導体基板の全表面に化学液相法により絶縁膜を形成し、この絶縁膜の一部をエッチングあるいはレーザ光照射によって除去して孔をあけ、その孔を半田で表面に盛り上げる程度に封じることにより端子付けを行なうことを特徴とする。

【0012】

【作用】請求項1のインダクタンス可変素子は、複数のインダクタ用導体を有しており、これら各導体をスイッチによって接続あるいは分離して用いるものである。また、これら各インダクタ用導体は、全体としてあるいは個々が周回形状を有しており、スイッチの切り替えによってこれら各インダクタ用導体の接続状態を変更することにより、全体としてのインダクタンスがこの接続状態に応じて切り替わることになる。

【0013】請求項1の発明によれば、スイッチを操作することにより複数のインダクタ用導体の接続状態を切り替え、これによりインダクタンスの変更が可能となる。

【0014】また、請求項2のインダクタンス可変素子は、上述した複数のインダクタ用導体の両端近傍に2つの入出力端子を有しており、スイッチを切り替えることによりこれら2つの入出力端子間に接続されるインダクタ用導体の数が切り替わる。したがって、使用する入出力端子を固定したまま、素子のインダクタンスのみを変えることが可能となる。

【0015】また、請求項3のインダクタンス可変素子は、上述したインダクタ用導体を半導体基板上に絶縁層を介して形成しており、しかも上述したスイッチをこの半導体基板の一部に拡散領域を設けた電界効果トランジスタによって形成している。したがって、この電界効果トランジスタのゲートに印加する電圧を変えることにより、インダクタ用導体間の接続および分離が行われる。

【0016】請求項3の発明によれば、半導体基板にインダクタ用導体とスイッチとが形成されるため、構造が単純であり、しかもこのインダクタンス可変素子を集積回路やトランジスタ等の半導体部品と一体的に形成することができる。

【0017】また、請求項4のインダクタンス可変素子は、上述した電界効果トランジスタを $n$ チャネルトランジスタと $p$ チャネルトランジスタとを並列接続したトランスミッションゲートとしており、これによりソースあるいはドレインとして機能する拡散領域とゲートとの電位差に依存することなく常に安定して低抵抗なスイッチ

ング動作を行うことができる。

【0018】また、請求項5のインダクタンス可変素子は、上述したインダクタンス可変素子を半導体基板上に形成した後に化学液相法により全表面に絶縁膜を形成する。その後、この絶縁膜の一部にエッチングやレーザ光照射により孔をあけ、この孔に半田を盛ることにより端子付けが行われる。したがって、表面実装型の素子を簡単に製造することができ、表面実装型とすることによりこの素子の組み付け作業も容易となる。

【0019】

【実施例】以下、本発明を適用した一実施例のインダクタンス可変素子について図面を参照しながら具体的に説明する。

【0020】第1実施例

図1は、本発明を適用した第1実施例のインダクタンス可変素子の平面図である。また、図2は図1のインダクタンス可変素子内のスイッチの近傍の部分的拡大図である。

【0021】これらの図に示すように、本実施例のインダクタンス可変素子10は、半導体基板である $n$ 型シリコン基板( $n$ -Si基板)32の表面に絶縁層30を介して形成されたスパイラル電極10と、このスパイラル電極10の各周回部分を短絡するためのスイッチ16、24とを含んで構成されている。

【0022】スパイラル電極10は、約2.5ターンの渦巻き形状を有しており、その両端部分が他の周回部分よりも幅広形状を有している。この両端部分の幅広部分の一方(外周側)が入出力電極12、他方(内周側)が入出力電極14となっている。

【0023】このスパイラル電極10は、例えばアルミニウムや銅等の金属材料で形成されるが、ポリシリコン等の半導体材料で形成するようにしてもよい。

【0024】スイッチ16は、スパイラル電極10の最外周部分と外周側から2番目の周回部分とを部分的に短絡するためのものであり、絶縁層30の表面に形成された段付きの長方形形状を有するゲート電極18と、 $n$ -Si基板32の表面付近であってゲート電極18の一部が重なるように形成されている2つの拡散領域20、22とから構成されている。

【0025】このゲート電極18は、上述したスパイラル電極10と同様に例えばアルミニウムや銅等の金属材料やポリシリコン等の半導体材料を用いて形成される。また、拡散領域20、22のそれぞれは、 $p$ 形不純物を熱拡散あるいはイオン打ち込みにより、 $n$ -Si基板20の一部に注入することにより形成されており、一方が電界効果トランジスタのソースに、他方がドレインに相当するものである。

【0026】これら2つの拡散領域20、22は、ゲート電極18に対応する部分を挟んで隣接して配置されており、ゲート電極18に所定の負の電圧を印加すること

により、 $p$ 形のチャネルが形成されると、このチャネルによって相互に導通状態となる。しかも、一方の拡散領域20はスパイラル電極10の最外周部分の一部に接続されており、他方の拡散領域22は外側から2番目の周囲部分の一部に接続されているため、2つの拡散領域20、22間が導通状態になると、スパイラル電極10の最外周部分と2番目の周囲部分とが部分的に短絡状態となる。

【0027】同様に、スイッチ24は、スパイラル電極10の外周側から2番目の周囲部分と最も内側にある周囲部分とを部分的に短絡するためのものであり、絶縁層30の表面に形成された段付きの長方形形状を有するゲート電極26と、 $n-Si$ 基板32の表面付近であってゲート電極26の一部が重なるように形成されている2つの拡散領域22、28とから構成されている。

【0028】拡散領域28は、他の拡散領域20、22と同様に、 $p$ 形不純物を熱拡散あるいはイオン打ち込みにより $n-Si$ 基板32の一部に注入することにより形成されており、拡散領域22、28の一方が電界効果トランジスタのソースに、他方がドレインに相当するものである。

【0029】これら2つの拡散領域22、28は、ゲート電極26に対応する部分を挟んで隣接して配置されており、ゲート電極26に所定の負の電圧を印加することにより、 $p$ 形のチャネルが形成されると、このチャネルによって相互に導通状態となる。しかも、一方の拡散領域22は外側から2番目の周囲部分の一部に接続されており、他方の拡散領域28は最も内周にある周囲部分の一部に接続されているため、2つの拡散領域22、28間が導通状態になると、スパイラル電極10の最内周部分と2番目の周囲部分とが部分的に短絡状態となる。

【0030】図3は、図2のB-B線断面を示す図である。同図に示すように、 $n-Si$ 基板32の表面付近であって、スパイラル電極10の各周囲部分の一部に対応する位置に $p$ 形の拡散領域20、22、28が形成されている。また、これら拡散領域20、22、28のそれぞれの間を埋めるように絶縁層30を挟んでゲート電極18、26が形成されており、これらのゲート電極18、26と絶縁層30と $n-Si$ 基板32とによってMIS（金属-絶縁体-半導体）構造あるいはMOS（金属-酸化物-半導体）構造が形成されている。

【0031】したがって、一方のゲート電極18の近傍の構造に着目すると、2つの拡散領域20、22のそれぞれがソースあるいはドレインとして機能する電界効果トランジスタが形成され、この電界効果トランジスタがスイッチ16として機能することになる。すなわち、ゲート電極18に所定の負の電圧を印加すると、このゲート電極18に対向する $n-Si$ 基板32の表面付近に $p$ 型のチャネル34が形成され、このチャネル34によって2つの拡散領域20、22の間が導通状態となって、

所定のスイッチング動作が行われる。

【0032】同様に、他方のゲート電極26の近傍の構造に着目すると、2つの拡散領域22、28のそれぞれがソースあるいはドレインとして機能する電界効果トランジスタが形成され、この電界効果トランジスタがスイッチ24として機能することになり、所定のスイッチング動作が行われる。

【0033】このように、本実施例のインダクタンス可変素子100は、ゲート電極18に所定の負の電圧を印加してスイッチ16をオン状態とすることにより、図1に示したスパイラル電極10の最外周部分と外側から2番目の周囲部分とを部分的に短絡することができる。したがって、一方のゲート電極18のみに所定の負の電圧を印加した場合には、スパイラル電極10の最外周に位置する1ターン部分を無効とすることができ、全体として約1.5ターンの素子として使用することができる。

【0034】同様に、ゲート電極26に所定の電圧を印加してスイッチ24をオン状態とすることにより、2番目の周囲部分と最も内側に位置する周囲部分とを部分的に短絡することができる。したがって、他方のゲート電極26のみに所定の負の電圧を印加した場合には、スパイラル電極10のほぼ内周側に位置する1ターン部分を無効とすることができ、全体として約1.5ターンのコイルとして使用することができる。なお、スイッチ16、24のいずれか一方のみをオン状態とした場合に約1.5ターンのコイルとなる点は変わりはないが、無効となる部分が異なっているため、全体としてのインダクタンスは同一ではなく、使用目的に応じて使い分けられよい。

【0035】また、2つのゲート電極16、18の両方に対して所定の負の電圧を印加してスイッチ16、24の両方をオン状態とした場合には、スパイラル電極10の3つの周囲部分の全てが相互に短絡状態となるため、スイッチ16より外側部分とスイッチ24より内側部分とを合わせた約0.5ターンのコイルとなり、インダクタンス成分をほとんど取り除くことができる。

【0036】したがって、必要に応じてゲート電極18、26に所定の電圧を印加してスイッチ16、24をオン状態とすることにより、全体として2.5ターン、1.5ターン、0.5ターンのコイルを使い分けることができ、ターン数を変えることによりインダクタンスも可変に制御することが可能となる。

【0037】特に、外部から見れば2つの入力電極12、14間のインダクタンスが可変に制御可能な素子となるため、このインダクタンス可変素子100を回路の一部に接続し、その後ゲート電極18、26に対して外部から所定の電圧を印加することにより、任意にインダクタンスを変えることができるため、従来の特性値が固定的であるコイルとは異なる使い方も可能となる。例えば、複数の送受信周波数が予め決まった同調回路を作る

場合には、この複数の受発信周波数に対応したインダクタンスを有するようにスパイラル電極10の短絡位置を決めて、この位置にゲート電極18等および拡散領域20等を形成すればよい。

【0038】また、本実施例のインダクタンス可変素子100は、 $n-Si$ 基板32上に一般的な半導体製造技術(特にMOS技術)を用いて製造することができるため、小型化および大量生産が容易となる。また、同一基板内に他のFETやバイポーラトランジスタ等の半導体部品を形成することも可能であり、このような場合には集積回路等の半導体部品と本実施例のインダクタンス可変素子100とを同一基板上に一体形成することができる。これにより、従来はコイルを外付けしていたスイッチングレギュレータ等をコイルを内蔵した形で作ることもできることになる。

【0039】また、本実施例のインダクタンス可変素子100は、磁芯等の可動部分を有していないため、構造が単純であり、回路の一部に組み込む場合に適している。

#### 【0040】第2実施例

次に、本発明の第2実施例のインダクタンス可変素子について、図面を参照しながら具体的に説明する。

【0041】上述した第1実施例のインダクタンス可変素子100は、渦巻き形状を有するスパイラル電極10の一部を電界効果トランジスタによって形成されるスイッチ16、24により短絡することにより、2つの入出力電極12、14間のインダクタンスを可変に制御するものであり、この短絡によって一重あるいは二重の閉ループが形成される。これに対し、本実施例のインダクタンス可変素子200は、短絡時の閉ループの形成を防止した点に特徴がある。

【0042】図4は、本発明を適用した第2実施例のインダクタンス可変素子の平面図である。また、図5は図3に示したインダクタンス可変素子のスイッチの近傍の部分拡大図である。

【0043】これらの図に示すように、本実施例のインダクタンス可変素子200は、 $n-Si$ 基板32の表面に絶縁層30を介して約2.5ターンの渦巻き形状を有するスパイラル電極10が形成されている。また、このスパイラル電極10は、全体として渦巻き形状を有する3つの分割スパイラル電極10-1、10-2、10-3により構成されており、この点が第1実施例と異なっている。

【0044】また、分割スパイラル電極10-1と10-2の間には、これら2つの分割スパイラル電極10-1と10-2とを直列に接続あるいは分離するためのスイッチ40が配置されている。同様に、分割スパイラル電極10-2と10-3の間には、これら2つの分割スパイラル電極10-2と10-3とを直列に接続あるいは分離するためのスイッチ46が配置されている。した

がって、これらスイッチ40、46がともにオン状態となったときに初めて、3つの分割スパイラル電極10-1～10-3が1本のインダクタ用導体として機能し、全体として約2.5ターンのコイルとなる。

【0045】上述したスイッチ40は、分割スパイラル電極10-1と10-2との間に形成された段付きの長方形形状を有するゲート電極42と、 $n-Si$ 基板32の表面の一部に形成されており、一部が分割スパイラル電極10-1と10-2のそれぞれの一部に接続された2つの拡散領域20、44とによって構成されている。このスイッチ40は、拡散領域20、44のそれぞれがソースあるいはドレインとして機能する電界効果トランジスタであり、ゲート電極42に所定の負の電圧を印加することにより、2つの拡散領域20、44の間にチャネルが形成されてこのスイッチ40がオン状態となる。

【0046】同様に、スイッチ46は、分割スパイラル電極10-2と10-3との間に形成された段付きの長方形形状を有するゲート電極48と、 $n-Si$ 基板32の表面の一部に形成されており、一部が分割スパイラル電極10-2と10-3のそれぞれの一部に接続された2つの拡散領域22、50とによって構成されている。このスイッチ46は、拡散領域22、50のそれぞれがソースあるいはドレインとして機能する電界効果トランジスタであり、ゲート電極48に所定の負の電圧を印加することにより、2つの拡散領域22、50の間にチャネルが形成されてこのスイッチ46がオン状態となる。

【0047】図6は、本実施例のインダクタ可変素子200の部分断面図である。同図(A)は、図5のA-A線断面図であり、第1実施例において図3に示した断面構造と基本的に変わりはない。図6(B)は図5のB-B線断面図であり、ゲート電極42に所定の負の電圧を印加することにより、2つの拡散領域20、44の間にチャネル52が形成される。

【0048】このように、本実施例のインダクタ可変素子200は、スパイラル電極10の一部を短絡するための2つのスイッチ16、24に加えて、スパイラル電極10を構成する各分割スパイラル電極10-1～10-3のそれぞれを直列に接続あるいは分離するためのスイッチ40、46を有している。

【0049】そして、スイッチ16のみをオン状態にしてスパイラル電極10の最外周部分と外側から2番目の周囲部分とを短絡して、入出力電極12、14間に約1.5ターンのコイルを形成する際には、スイッチ40をオフ状態にして、分割スパイラル電極10-2の一端を切り離し、この分割スパイラル電極10-2による閉ループの形成を防止する。

【0050】同様に、スイッチ24のみをオン状態にしてスパイラル電極10の外側から2番目の周囲部分と最内周部分とを短絡して、入出力電極12、14間に約1.5ターンのコイルを形成する際には、スイッチ46

をオフ状態にして、分割スパイラル電極 10-3 の一方端を切り離し、この分割スパイラル電極 10-3 による閉ループの形成を防止する。

【0051】なお、上述した 2 つの場合はともに約 1.5 ターンのコイルとなるが、どの分割スパイラル電極を使用するかにより発生する磁束密度に若干の相違が生じるため、2 つの入出力端子 12, 14 間のインダクタンスも若干異なることになる。

【0052】また、スイッチ 16, 24 の両方をオン状態にしてスパイラル電極 10 の各周回部分を相互に短絡して、入出力電極 12, 14 間に約 0.5 ターンのコイルを形成する際には、スイッチ 40, 46 の両方をオフ状態にして、分割スパイラル電極 10-2, 10-3 による閉ループの形成を防止する。

【0053】また、スイッチ 16, 24 の両方をオフ状態にして各分割スパイラル電極 10-1~10-3 のそれぞれを直列に接続して、入出力電極 12, 14 間に約 2.5 ターンのコイルを形成する際には、スイッチ 40, 46 の両方をオン状態にすればよい。

【0054】このように、本実施例インダクタンス可変素子 200 は、渦巻き形状を有するスパイラル電極 10 の一部をスイッチ 16, 24 によって部分的に短絡することにより、全体のターン数を 2.5 ターンから 0.5 ターンの間で変化させることができる。これにより 2 つの入出力電極 12, 14 間のインダクタンスを可変に設定することが可能となる。

【0055】また、本実施例のインダクタンス可変素子 200 は、スパイラル電極 10 を部分的に短絡させる際に、コイルとして使用されない分割スパイラル電極の一方端をスイッチ 40, 46 により切り離すことができる。これにより不要な閉ループの形成を防止することができる。また、磁束の発生にともなう不要な閉ループ電流が生じることを防止することができる。

【0056】なお、このインダクタンス可変素子 200 を一般的な半導体製造技術を用いて製造できる点や、これに伴い小型化および大量生産が可能である点等については上述した第 1 実施例と同じである。

### 【0057】第 3 実施例

次に、本発明の第 3 実施例のインダクタンス可変素子について、図面を参照しながら具体的に説明する。

【0058】上述した第 1 および第 2 実施例のインダクタンス可変素子 100, 200 は、渦巻き形状のスパイラル電極 10 の各周回部分を部分的に短絡させることによりターン数が増える。これに対し、本実施例のインダクタンス可変素子 300 は、周回部分を短絡させることなくターン数の変更を行う点に特徴がある。

【0059】図 7 は、本発明を適用した第 3 実施例のインダクタンス可変素子の平面図である。また、図 8 は図 7 に示したインダクタンス可変素子のスイッチの近傍の部分的拡大図である。

【0060】これらの図に示すように、本実施例のインダクタンス可変素子 300 は、n-Si 基板 32 の表面に絶縁層 30 を介して形成されたスパイラル電極 10 およびライン電極 60 と、これら 2 つの電極 10, 60 を接続するための 4 つのスイッチ 62, 68, 74, 80 とを含んで構成されている。

【0061】スパイラル電極 10 は、約 3 ターンの渦巻き形状を有しており、その外周側の一方端が幅広形状を有する入出力電極 12 となっている。ライン電極 60 は、一部が複数の凸形状となった直線部分を有しており、この直線部分がスパイラル電極 10 の各周回部分と絶縁層を介して直交するように配置されている。また、このライン電極 60 の一方端（スパイラル電極 10 の外周側）は、幅広形状を有する入出力電極 14 となっている。

【0062】スイッチ 62 は、スパイラル電極 10 の最外周部分とライン電極 60 の一部とを電氣的に接続するためのものであり、絶縁層 30 の表面に形成された段付きの長方形形状を有するゲート電極 63 と、n-Si 基板 32 の表面付近であってゲート電極 63 に一部が重なるように形成されている 2 つの拡散領域 64, 66 とから構成されている。このゲート電極 63 に対して所定の負の電圧を印加することにより、2 つの拡散領域 64, 66 の間に p 形のチャネルが形成されてスイッチ 62 がオン状態となり、スパイラル電極 10 の最外周部分とライン電極 60 とが相互に接続されるようになる。

【0063】同様に、スイッチ 68 は、スパイラル電極 10 の外側から 2 番目の周回部分とライン電極 60 の一部とを電氣的に接続するためのものであり、絶縁層 30 の表面に形成された段付きの長方形形状を有するゲート電極 69 と、n-Si 基板 32 の表面付近であってゲート電極 69 に一部が重なるように形成されている 2 つの拡散領域 70, 72 とから構成されている。このゲート電極 69 に対して所定の負の電圧を印加することによりスイッチ 68 がオン状態となり、スパイラル電極 10 の外側から 2 番目の周回部分とライン電極 60 とが相互に接続されるようになる。

【0064】スイッチ 74 は、スパイラル電極 10 の外側から 3 番目の周回部分とライン電極 60 の一部とを電氣的に接続するためのものであり、絶縁層 30 の表面に形成された段付きの長方形形状を有するゲート電極 75 と、n-Si 基板 32 の表面付近であってゲート電極 75 に一部が重なるように形成されている 2 つの拡散領域 76, 78 とから構成されている。このゲート電極 75 に対して所定の負の電圧を印加することによりスイッチ 74 がオン状態となり、スパイラル電極 10 の外側から 3 番目の周回部分とライン電極 60 とが相互に接続されるようになる。

【0065】スイッチ 80 は、スパイラル電極 10 の内側の端部とライン電極 60 の一部とを電氣的に接続する



ためのものであり、絶縁層30の表面に形成された段付きの長方形形状を有するゲート電極81と、 $n-Si$ 基板32の表面付近であってゲート電極81に一部が重なるように形成されている2つの拡散領域82、84とから構成されている。このゲート電極81に対して所定の負の電圧を印加することによりスイッチ80がオン状態となり、スパイラル電極10の内側の端部とライン電極60とが相互に接続されるようになる。

【0066】図9は、図8のA-A線断面を示す図である。同図において、スイッチ62に着目すると、絶縁層30上のゲート電極63を挟むように $n-Si$ 基板32の表面付近に2つの拡散領域64、66が形成されており、ゲート電極63に対して所定の負の電圧を印加することにより、これら2つの拡散領域64、66の間にチャネル86が形成され、所定のスイッチング動作が行われる。

【0067】同様に、スイッチ68に着目すると、絶縁層30上のゲート電極69を挟むように $n-Si$ 基板32の表面付近に2つの拡散領域70、72が形成されており、ゲート電極69に対して所定の負の電圧を印加することにより、これら2つの拡散領域70、72の間にチャネル88が形成され、所定のスイッチング動作が行われる。

【0068】スイッチ74に着目すると、絶縁層30上のゲート電極75を挟むように $n-Si$ 基板32の表面付近に2つの拡散領域76、78が形成されており、ゲート電極75に対して所定の負の電圧を印加することにより、これら2つの拡散領域76、78の間にチャネル90が形成され、所定のスイッチング動作が行われる。

【0069】スイッチ80に着目すると、絶縁層30上のゲート電極81を挟むように $n-Si$ 基板32の表面付近に2つの拡散領域82、84が形成されており、ゲート電極81に対して所定の負の電圧を印加することにより、これら2つの拡散領域82、84の間にチャネル92が形成され、所定のスイッチング動作が行われる。

【0070】このように、本実施例のインダクタンス可変素子300は、スイッチ80のみをオン状態としたときには、2つの入出力電極12、14の間に約3ターンのコイルが有効に機能する。また、スイッチ74のみをオン状態としたときには約2ターンのコイルが有効に機能し、スイッチ68のみをオン状態としたときには約1ターンのコイルが有効に機能する。さらに、スイッチ62のみをオン状態としたときには周回形状を有するコイルは形成されず、インダクタンスが非常に小さな素子となる。従って、所定の電圧を印加するゲート電極を変えることにより、2つの入出力電極12、14に接続されるコイルのターン数を変えることができ、これによりインダクタンスも可変に設定することができる。

【0071】なお、このインダクタンス可変素子300を一般的な半導体製造技術を用いて製造できる点や、こ

れに伴い小型化および大量生産が可能である点等については上述した第1実施例や第2実施例と同じである。

【0072】その他の実施例

次に、本発明のその他の実施例に係るインダクタンス可変素子について、図面を参照しながら具体的に説明する。

【0073】図10は、本発明を適用した第4実施例のインダクタンス可変素子の平面図である。また、図11は図10に示したインダクタンス可変素子のスイッチの近傍の部分拡大図である。

【0074】これらの図に示すように、本実施例のインダクタンス可変素子400は、ほぼ1ターンの周回形状を有する2つの周回電極110、112と、これらの接続あるいは分離を行うための2つのスイッチ122、130とを含んで構成されている。

【0075】周回電極110の一方端は、幅広形状を有する入出力電極114となっており、他方端はスイッチ122を介して周回電極112に接続されるとともに、その一部が入出力電極118に向け分岐した形状となっている。また、周回電極112の一方端は、幅広形状を有する入出力電極120となっており、他方端は上述したようにスイッチ122を介して周回電極110に接続されるとともに、スイッチ130を介して入出力電極116に接続されている。

【0076】スイッチ122は、2つの周回電極110と112とを接続するためのものであり、絶縁層30の表面に形成された段付きの長方形形状を有するゲート電極124と、 $n-Si$ 基板32の表面付近であって絶縁層30を介してゲート電極124に一部が重なるように形成されている2つの拡散領域126、128とから構成されており、ゲート電極124に対して所定の負の電圧を印加することによりオン状態となる。

【0077】また、スイッチ130は、一方の周回電極112と入出力電極116とを接続するためのものであり、絶縁層30の表面に形成された段付きの長方形形状を有するゲート電極132と、 $n-Si$ 基板32の表面付近であって絶縁層30を介してゲート電極132に一部が重なるように形成されている2つの拡散領域134、136とから構成されており、ゲート電極132に対して所定の負の電圧を印加することによりオン状態となる。

【0078】このように、本実施例のインダクタンス可変素子400は、スイッチ122のみをオン状態としたときには、2つの周回電極110、112が接続され、入出力電極114と120との間に約2ターンのコイルが形成される。また、スイッチ130をオン状態にするとともにスイッチ122をオフ状態としたときには、入出力電極114と120との間に周回電極110によって形成される約1ターンのコイルが形成されるとともに、入出力電極116と118との間に周回電極112

によって形成される約1ターンのコイルが形成される。

【0079】従って、スイッチ122, 130のオンオフ状態を切り替えることにより、全体として約2ターンのコイルを必要に応じて分割して使用することができる。しかも、各入出力電極間のインダクタンスは、その間に形成されるコイルのターン数やどの周囲電極を使用したかによって変わるため、使用する入出力端子を必要に応じて選択することにより、インダクタンス可変素子400を複数のインダクタンスを有する素子として使用することができる。

【0080】なお、上述したインダクタンス可変素子400は、全体として約2ターンのコイルが形成されるようにしたが、このターン数を増やすことにもスイッチおよび入出力電極を増やすことにより、選択できるインダクタンスの数を増やすことができる。また、複数の周囲電極を同心状に配置する必要はなく、隣接した周囲電極を接続あるいは分離してもよい。

【0081】図12は、本発明を適用した第5実施例のインダクタンス可変素子の平面図である。また、図13は図12に示したインダクタンス可変素子のスイッチ近傍の部分的拡大図である。

【0082】本実施例のインダクタンス可変素子500は、図1及び図2に示したインダクタンス可変素子100のスイッチ部分の特性を改善した点に特徴がある。一般に、電界効果トランジスタのオン抵抗は、ソース・ゲート間の電位差に依存し、この電位差が小さくなるにしたがってソース・ドレイン間のオン抵抗が急激に増大する傾向がある。このため、入出力電極12あるいは14から入力される信号の電圧レベルがゲート電極18, 26に印加されるゲート電圧に近づく場合には、2つの入出力電極12, 14間の抵抗が高くなるため信号の減衰が生じる。本実施例のインダクタンス可変素子500は、上述したオン抵抗の急激な上昇を防ぐために、pチャネルのFETとnチャネルのFETとを並列に接続したトランスミッションゲートを用いてスイッチング動作を行っている。

【0083】図12及び図13に示すように、本実施例のインダクタンス可変素子500は、図1等に示したインダクタンス可変素子100に対して、nチャネルのFETからなる2つのスイッチ140, 148を追加した構成を有している。これら2つのスイッチ140, 148は、n-Si基板32の一部に形成されたpウェル138の表面付近に形成されている。

【0084】スイッチ140は、スイッチ16と並列に接続されて、スパイラル電極10の最外周部分と外側から2番目の周囲部分とを部分的に短絡するためのものであり、スイッチ16のゲート電極18, 拡散領域20, 22のそれぞれに対応して、ゲート電極142, 拡散領域144, 146が設けられている。

【0085】スイッチ140のゲート電極142には、

スイッチ16のゲート電極18に印加される電圧と極性のみが異なる所定の正の電圧が印加され、このとき2つの拡散領域144, 146間にn形のチャネルが形成されて導通状態となる。なお、実際にゲート電極18と142とに極性が異なる電圧を同時に印加するには、n-Si基板32とゲート電極18とに印加される電圧の組み合わせを反対にして、pウェル138とゲート電極142とに印加するようにすればよい。

【0086】同様に、スイッチ148は、スイッチ24と並列に接続されて、スパイラル電極10の外側から2番目の周囲部分と最内周部分とを部分的に短絡するためのものであり、スイッチ24のゲート電極26, 拡散領域22, 28のそれぞれに対応して、ゲート電極148, 拡散領域146, 152が設けられている。

【0087】スイッチ148のゲート電極150には、スイッチ24のゲート電極26に印加される電圧と極性のみが異なる所定の正の電圧が印加され、このとき2つの拡散領域146, 152間にn形のチャネルが形成されて導通状態となる。

【0088】図14は、本実施例のインダクタンス可変素子500の部分的断面図である。同図(A)は、図13のA-A線断面図であり、n-Si基板32の一部(表面付近)に形成されたpウェル138に、ゲート電極142, 拡散領域144, 146からなるnチャネルFETのスイッチ140と、ゲート電極150, 拡散領域146, 152からなるnチャネルFETのスイッチ148との両方が形成されている状態が示されている。また、図14(B)は図13のB-B線断面図であり、第1実施例において図3に示した断面構造と基本的に変わりはない。

【0089】このように、スイッチ16と140とを並列接続して(あるいはスイッチ24と148とを並列接続して)トランスミッションゲートとして使用することにより、例えば入出力電極12あるいは14に入力される信号の電圧レベルが一方のスイッチ16のゲート電極18に印加されるゲート電圧に近づく場合には、他方のスイッチ140のゲート電極142に印加されるゲート電圧から遠ざかることになり、スイッチ16と140とからなる並列回路全体のオン抵抗は低くなる。反対に、入力信号の電圧レベルが他方のスイッチ140のゲート電極142に印加されるゲート電圧に近づく場合には、一方のスイッチ16のゲート電極18に印加されるゲート電圧から遠ざかることになり、スイッチ16と140とからなる並列回路全体のオン抵抗は低くなる。

【0090】このように、トランスミッションゲートを用いることにより常に安定したオン抵抗となり、インダクタンス可変素子500の特性も安定させることができる。

【0091】図15は、本発明を適用した第6実施例のインダクタンス可変素子の平面図である。

【0092】本実施例のインダクタンス可変素子600は、図1に示したインダクタンス可変素子100のスイッチ16、24のそれぞれをスパイラル電極10間の隙間に沿って延ばした点に特徴がある。すなわち、一方のスイッチ16に着目すると、ゲート電極18、拡散領域20、22のそれぞれをスパイラル電極10の約1/4ターン分の長さに延長している。同様に、他方のスイッチ24に着目すると、ゲート電極26、拡散領域22、28のそれぞれをスパイラル電極10の約1/4ターン分の長さに延長している。

【0093】このように、スイッチ16、24の周囲方向の長さを長く設定することにより、オン抵抗を飛躍的に低減することが可能であり、スイッチ16、24を介して信号の入出力を行った際の信号レベルの減衰を実質上無視できる程度にまで抑えることができる。

【0094】図16は、化学液相法を用いて端子付けを行う場合の概略を示す図であり、図1のA-A線拡大断面が示されている。

【0095】図16に示すように、インダクタンス可変素子100を含む半導体基板を切り離した後に、個々に切り離されたチップ（素子）の全表面に化学液相法により絶縁膜としてシリコン酸化膜160を形成する。その後、エッチングにより入出力電極12、14およびゲート電極18、26上のシリコン酸化膜160を除去して孔をあけ、その孔を半田162で表面に盛り上がる程度に封じることにより、突出した半田162をプリント配線基板のランド等と直接接触させることができるので、表面実装に際して好都合である。

【0096】なお、素子表面の保護膜に、合成樹脂等の他の絶縁材料を使用してもよく、保護膜の穿孔にレーザー光線を利用してもよい。

【0097】なお、本発明は上記各実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0098】例えば、上述した各実施例のインダクタンス可変素子は、 $n$ -Si基板32上に1つの素子を形成する場合を説明したが、同一あるいは異なる種類のインダクタンス可変素子を同一の $n$ -Si基板32上に複数個同時に形成した後にそれぞれを分離し、その後入出力電極やゲート電極に端子付けを行うようにしてもよい。

【0099】また、上述した各実施例のインダクタンス可変素子は、半導体基板上に形成される点は一般のトランジスタ等と同じであるため、各実施例のインダクタンス可変素子をLSI等の回路の一部として形成するようにしてもよい。

【0100】また、上述した各実施例のインダクタンス可変素子は、インダクタンスを可変に設定する際に電界効果トランジスタを用いているため、必ずオン抵抗があり、このオン抵抗は温度依存性がある。従って、このオン抵抗の温度依存性を補正するために、インダクタンス

可変素子の内部あるいは外部に正温度係数サーミスタ（PTC）や負温度係数サーミスタ（NTC）を接続するようにしてもよい。

【0101】また、スイッチとして電界効果トランジスタ以外の素子、例えばバイポーラトランジスタ等を使用するようにしてもよい。

【0102】また、図15に示したインダクタンス可変素子600は、ゲート電極18、26等の長さを延長して約1/4ターン分の長さとしたが、これを約1ターン分の長さまでに延長するようにしてもよい。この場合には、各スイッチ16、24のオン抵抗をさらに低くすることができるとともに、各スイッチ16、24をオン状態としたときに生じる閉ループを完全になくすことができる。

【0103】また、上述した各実施例のインダクタンス可変素子は単独で用いる場合を例に取り説明したが、各実施例のインダクタンス可変素子に渦巻き形状の電極を対向するように、あるいはほぼ平行に配置することにより、各インダクタンス可変素子のスパイラル電極10と追加した渦巻き形状の電極との間にキャパシタが分布定数的に形成されるIC素子とすることもできる。

【0104】また、上述した各実施例のインダクタンス可変素子は、渦巻き形状のスパイラル電極10のターン数を実質的に可変に制御することによりインダクタンスを変える場合を例に取り説明したが、入出力する信号の周波数帯域を高周波に限った場合には、スパイラル電極の形状を渦巻き形状以外の形状、例えば波形状等の任意の蛇行形状とし、隣接する電極を短絡するようにしてもよい。高周波信号に対しては、このような形状とした場合にも所定のインダクタンスを有するとともに、このインダクタンスを可変に制御することが可能となる。

【0105】

【発明の効果】このように、請求項1の発明によれば、スイッチにより複数のインダクタ用導体の接続状態を切り替え、これによりインダクタンスの変更が可能となる。

【0106】また、請求項2の発明によれば、上述した複数のインダクタ用導体の両端近傍に2つの入出力端子を有しており、スイッチを切り替えることによりこれら2つの入出力端子間に接続されるインダクタ用導体の数が切り替わる。したがって、使用する入出力端子を固定したまま、素子のインダクタンスのみを変えることが可能となる。

【0107】また、請求項3の発明によれば、上述したインダクタ用導体を半導体基板上に絶縁層を介して形成しており、しかも上述したスイッチをこの半導体基板の一部に拡散領域を設けた電界効果トランジスタによって形成している。したがって、この電界効果トランジスタのゲートに印加する電圧を変えることにより、インダクタ用導体間の接続および分離を行うことができる。特

に、半導体基板にインダクタ用導体とスイッチとが形成されるため、構造が単純であり、しかも素子を集積回路やトランジスタ等の半導体部品と一体的に形成することができる。

【0108】また、請求項4の発明によれば、上述した電界効果トランジスタをnチャネルトランジスタとpチャネルトランジスタとを並列接続したトランスミッションゲートとしており、これによりソースあるいはドレインとして機能する拡散領域とゲートとの電位差に依存することなく常に安定して低抵抗なスイッチング動作を行うことができる。

【0109】また、請求項5の発明によれば、上述したインダクタンス可変素子を半導体基板上に形成した後に化学液相法により全表面に絶縁膜を形成する。その後、この絶縁膜の一部にエッチングやレーザ光照射により孔をあけ、この孔に半田を盛ることにより端子付けが行われる。したがって、表面実装型の素子を簡単に製造することができ、表面実装型とすることによりこの素子の組み付け作業も容易となる。

#### 【図面の簡単な説明】

【図1】本発明を適用した第1実施例のインダクタンス可変素子の平面図である。

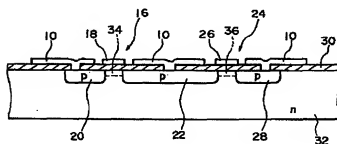
【図2】図1のインダクタンス可変素子の部分的拡大図である。

【図3】図2のB-B線断面図である。

【図4】本発明を適用した第2実施例のインダクタンス可変素子の平面図である。

【図5】図4のインダクタンス可変素子の部分的拡大図である。

【図3】



【図6】図5のA-A線及びB-B線断面図である。

【図7】本発明を適用した第3実施例のインダクタンス可変素子の平面図である。

【図8】図7のインダクタンス可変素子の部分的拡大図である。

【図9】図8のA-A線断面図である。

【図10】本発明を適用した第4実施例のインダクタンス可変素子の平面図である。

【図11】図10のインダクタンス可変素子の部分的拡大図である。

【図12】本発明を適用した第5実施例のインダクタンス可変素子の平面図である。

【図13】図12のインダクタンス可変素子の部分的拡大図である。

【図14】図13のA-A線及びB-B線断面図である。

【図15】本発明を適用した第6実施例のインダクタンス可変素子の平面図である。

【図16】化学液相法を用いて端子付けを行う場合の説明図である。

#### 【符号の説明】

10 スパイラル電極

12, 14 入出力電極

16, 24 スイッチ

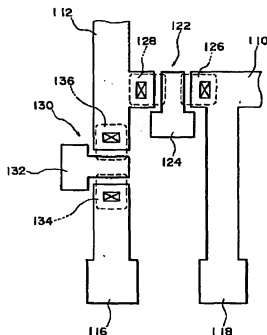
18, 26 ゲート電極

20, 22, 28 拡散領域

30 絶縁層

32 n-Si基板

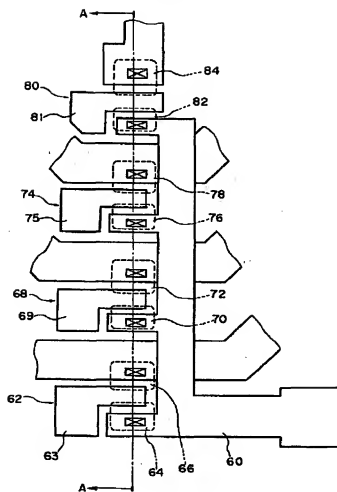
【図11】



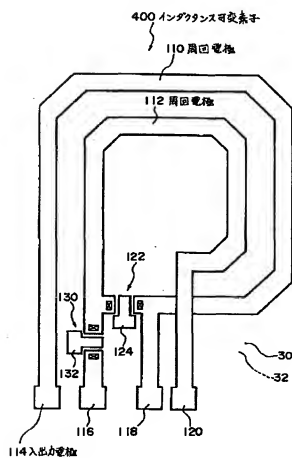




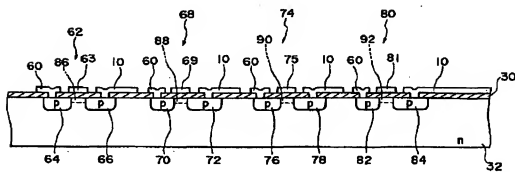
【図 8】



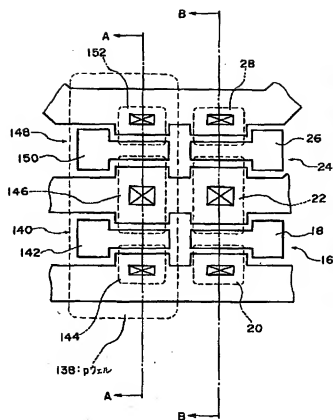
【図 10】



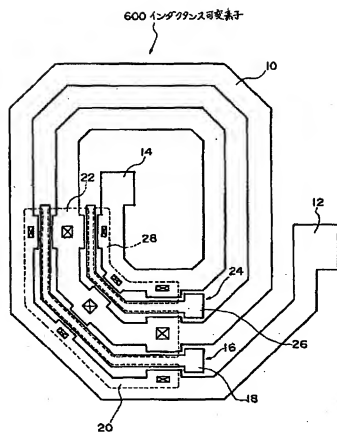
【図 9】



【図13】



【図15】



【図14】

